

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
G02F 1/136

(11) 공개번호 특2001 - 0083298
(43) 공개일자 2001년09월01일

(21) 출원번호 10 - 2000 - 0006221
(22) 출원일자 2000년02월10일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 송인덕
경상북도구미시비산동489 - 1전원아파트106호
권극상
경상북도구미시황상동금본타운202동805호

(74) 대리인 정원기

#16. 2 & 3e

심사청구 : 없음

(54) 액정 표시장치 제조방법

요약

본 발명은 마스크 수를 저감하여 액정 표시장치를 제조하는 방법을 제시하며, 게이트 배선을 노출을 방지하기 위해 소스/드레인 전극으로 사용하는 금속층을 게이트 배선의 상부까지 연장하여 형성함으로써, 후속공정에 의한 상기 게이트 배선의 손상을 방지하는 액정 표시장치의 제조방법에 관한 것이다.

대표도
도 5d

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 한 화소부에 해당하는 단면을 도시한 단면도.

도 2는 일반적인 액정 표시장치의 한 부분에 해당하는 평면을 도시한 평면도.

도 3a 내지 도 3e는 도 2의 절단선 A - A 및 B - B를 따른 단면의 공정을 나타내는 공정도.

도 4는 일반적인 액정 표시장치의 공정을 나타내는 순서도.

도 5a 내지 도 5d는 본 발명의 실시예에 따른 액정 표시장치의 제작공정을 도시한 공정도.

도 6은 도 5d의 절단선 VI - VI를 따른 단면을 도시한 단면도.

도 7a 내지 도 7d는 도 5d의 절단선 VII - VII를 따른 단면의 제작 공정을 도시한 공정도.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 게이트 배선 102 : 게이트 전극

104 : 데이터 배선 106b : 소스 전극

108b : 드레인 전극 110 : 게이트 배선 보호전극

112 : 제 1 보호막 114 : 제 2 보호막

116 : 드레인 콘택홀 118 : 스토리지 콘택홀

120 : 화소전극 150 : 게이트 절연막

152 : 비정질 실리콘 154 : 불순물이 함유된 비정질 실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 박막 트랜지스터 (Thin Film Transistor : TFT)를 포함하는 액정 표시장치 (Liquid Crystal Display : LCD)의 제조방법 및 그 제조 방법에 따른 액정 표시장치에 관한 것이다.

특히, 본 발명은 액정 표시장치를 제조하는데 있어서, 사용되는 마스크 수를 줄여 제조하는 방법 및 그 방법에 의해 제조된 액정 표시장치에 관한 것이다.

액정 표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정 표시장치 (Active Matrix LCD : AM - LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적으로 액정 표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널 (20)은 여러 종류의 소자들이 형성된 두 장의 기판 (2, 4)이 서로 대응되게 형성되고, 상기 두 장의 기판 (2, 4) 사이에 액정층 (10)이 개재된 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기판(4)은 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가 받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실란트(sealant : 6)로 봉인되어 있다.

상기 도 1에 도시된 하부 기판(2)의 평면도를 나타내는 도 2에서 하부 기판(2)의 작용과 구성을 상세히 설명하면 다음과 같다.

하부 기판(2)에는 화소전극(14)이 형성되어 있고, 상기 화소전극(14)의 수직 및 수평 배열 방향에 따라 각각 데이터 배선(24) 및 게이트 배선(22)이 형성되어 있다.

그리고, 능동행렬 액정 표시장치의 경우, 화소전극(14)의 한쪽 부분에는 상기 화소전극(14)에 전압을 인가하는 스위칭 소자인 박막 트랜지스터(S)가 형성되어 있다. 상기 박막 트랜지스터(S)는 게이트 전극(26), 소스 및 드레인 전극(28, 30)으로 구성되며, 상기 게이트 배선(22)의 일부에는 게이트 전극(26) 부분이 정의되고, 상기 소스 전극(28)은 상기 데이터 배선(24)에 연결되어 있다.

또한, 상기 데이터 배선(24) 및 게이트 배선(22)의 일 끝단에는 각각 데이터 패드(23) 및 게이트 패드(21)가 형성되어, 상기 박막 트랜지스터(S) 및 화소전극(14)을 각각 구동하는 구동회로(미도시)와 연결된다.

그리고, 상기 드레인 전극(30)은 상기 화소전극(14)과 드레인 콘택홀(30')을 통해 전기적으로 연결되어 있다.

또한, 상기 게이트 배선(22)의 일부분에는 스토리지 캐패시터(C_{st})가 형성되어 상기 화소전극(14)과 더불어 전하를 저장하는 역할을 수행한다.

상술한 능동행렬 액정 표시장치의 동작을 살펴보면, 스위칭 박막 트랜지스터(S)의 게이트 전극(26)에 신호가 인가되면, 데이터 신호가 화소전극(14)으로 인가되고, 게이트 전극(26)에 신호가 인가되지 않는 경우에는 화소전극(14)에 데이터 신호가 인가되지 않는다.

액정 표시장치를 구성하는 액정 패널의 제조공정은 매우 복잡한 여러 단계의 공정이 복합적으로 이루어져 있다. 특히, 박막 트랜지스터(S)가 형성된 하부 기판은 여러 번의 마스크 공정을 거쳐야 한다.

최종 제품의 성능은 이런 복잡한 제조공정에 의해 결정되는데, 가급적이면 공정이 간단할수록 불량률이 발생할 확률이 줄어들게 된다. 즉, 하부 기판에는 액정 표시장치의 성능을 좌우하는 주요한 소자들이 많이 형성되므로, 제조 공정을 단순화하여야 한다.

일반적으로 하부 기판의 제조공정은 만들고자 하는 각 소자에 어떤 물질을 사용하는가 혹은 어떤 사양에 맞추어 설계하는가에 따라 결정되는 경우가 많다.

예를 들어, 과거 소형 액정 표시장치의 경우는 별로 문제되지 않았지만, 12인치 이상의 대면적 액정 표시장치의 경우에는 게이트 배선에 사용되는 재질의 고유 저항 값이 화질의 우수성을 결정하는 중요한 요소가 된다. 따라서, 대면적의 액정 표시소자의 경우에는 알루미늄 또는 알루미늄 합금과 같은 저항이 낮은 금속을 사용하는 것이 바람직하다.

이하, 종래의 능동행렬 액정 표시장치의 제조공정을 도 3a 내지 도 3e를 참조하여 설명한다. 도 3a 내지 도 3e는 설명의 편의를 위해 도 2의 절단선 A-A 및 B-B의 단면도이다.

일반적으로 액정 표시장치에 사용되는 박막 트랜지스터의 구조는 역 스테거드(Inverted Staggered)형 구조가 많이 사용된다. 이는 구조가 간단하면서도 성능이 우수하기 때문이다.

또한, 상기 역 스테거드형 박막 트랜지스터는 채널 형성 방법에 따라 백 채널 에치형(back channel etch : EB)과 에치 스타퍼형(etch stopper : ES)으로 나뉘며, 구조가 간단한 백 채널 에치형 구조가 적용되는 액정 표시소자 제조공정에 관해 설명한다.

먼저, 기판(1)에 이물질이나 유기성 물질을 제거하고, 증착될 게이트 물질의 금속 박막과 유리기판의 접착성(adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링(sputtering)에 의하여 금속 막을 증착한다.

도 3a는 상기 금속막 증착 후에 제 1 마스크로 패터닝하여 게이트 전극(26)과 스토리지 제 1 전극(22)을 형성하는 단계이다. 능동 행렬 액정 표시장치의 동작에 중요한 게이트 전극(26) 물질은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제를 야기하므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 적층구조가 적용되기도 한다. 그리고 상기 게이트 전극(26)과 상기 스토리지 제 1 전극(22)은 일체화된 동일 패턴이고, 게이트 배선에 해당하는 부분으로 그 기능상 게이트 전극(26)과 스토리지 제 1 전극(22)으로 지칭된다.

다음으로, 도 3b를 참조하여 설명하면, 상기 게이트 전극(26) 및 스토리지 제 1 전극(22) 형성후, 그 상부 및 노출된 기판 전면에 걸쳐 절연막(50)을 증착한다. 또한, 상기 게이트 절연막(50) 상에 연속으로 반도체 물질인 비정질 실리콘($a\text{-Si:H}$: 52)과 불순물이 함유된 비정질 실리콘($n\text{+a-Si:H}$: 54)을 증착한다.

상기 반도체 물질 증착후에 제 2 마스크로 패터닝하여 액티브층(55)과 상기 액티브층과 동일형태의 반도체 아일랜드(53)를 형성한다.

상기 불순물이 함유된 비정질 실리콘(54)은 추후 생성될 금속층과 상기 액티브층(55)과의 접촉저항을 줄이기 위한 목적이다.

이후, 도 3c에 도시된 바와 같이, 금속층을 증착하고 제 3 마스크로 패터닝하여 소스 전극(28) 및 드레인 전극(30)을 형성한다. 상기 소스 및 드레인 전극(28, 30)과 동시에 상기 소스 전극(28)과 연결된 데이터 배선(24)을 형성한다.

또한, 상기 스토리지 제 1 전극(22) 상부 상기 절연막(50) 상에 상기 스토리지 제 1 전극(22)의 일부와 겹치게 스토리지 제 2 전극(58)을 형성한다. 즉, 제 3 마스크 공정에서 데이터 배선(24), 소스 전극(28), 드레인 전극(30), 스토리지 제 2 전극(58)이 형성되게 된다.

그리고, 상기 소스 및 드레인 전극(28, 30)을 마스크로 하여 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 옴의 접촉층을 제거한다. 만약, 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 옴의 접촉층을 제거하지 않으면 박막 트랜지스터(S)의 전기적 특성에 심각한 문제가 발생할 수 있으며, 성능에서도 큰 문제가 생긴다.

상기 옴의 접촉층의 제거에는 신중한 주의가 요구된다. 실제 옴의 접촉층의 식각시에는 그 하부에 형성된 액티브층과 식각 선택비가 없으므로 액티브층을 약 50 ~ 100 nm 정도 과식각을 시키는데, 식각 균일도(etching uniformity)는 박막 트랜지스터(S)의 특성에 직접적인 영향을 미친다.

이후, 도 3d에 도시된 바와 같이, 절연막을 증착하고 제 4 마스크로 패터닝하여 액티브층(55)을 보호하기 위해 보호막(56)을 형성한다. 상기 보호막(56)은 액티브층(55)의 불안정한 에너지 상태 및 식각시 발생하는 잔류물질에 의해 박막 트랜지스터 특성에 나쁜 영향을 끼칠 수 있으므로 무기질의 실리콘 질화막(SiN_x) 내지는 실리콘 산화막(SiO_2)이나 무기질의 BCB(Benzocyclobutene) 등으로 형성한다.

상기 보호막(56)은 높은 광투과율과 내습 및 내구성이 있는 물질의 특성을 요구한다.

상기 보호막(56) 패터닝시 콘택홀을 형성하는 공정이 추가되는데, 데이터 패드 콘택홀(23)과 드레인 콘택홀(30') 및 스토리지 콘택홀(58')을 각각 형성한다.

상기 데이터 패드 콘택홀(23)은 추후공정에서 생성될 투명도전막과 상기 데이터 배선(42)과의 접촉을 위함이고, 상기 드레인 콘택홀(30') 및 상기 스토리지 콘택홀(58')은 화소전극과의 접촉을 위함이다.

도 3e에 도시된 공정은 투명한 도전물질(Transparent Conducting Oxide : TCO)을 증착하고 제 5 마스크로 패터닝하여 화소전극(14)을 형성하는 공정이다. 상기 투명한 도전물질은 ITO(Indium Tin Oxide)가 주로 쓰인다. 상기 화소전극(14)은 스토리지 제 2 전극(58)과 접촉되며, 또한, 상기 드레인 전극(30)과 상기 드레인 콘택홀(30')을 통해 전기적으로 접촉하고 있다.

상술한 공정에 의해서 액정 표시장치의 박막 트랜지스터 기판은 완성되게 된다.

도 4는 상기 도 3a 내지 도 3e의 제작 공정을 나타내는 흐름도이다.

ST200은 기판을 준비하는 단계로 유리기판(1)을 사용한다. 또한, 유리기판(1)을 세정(Cleaning)하는 공정을 포함한다. 세정은 초기 공정 중에 기판이나 막 표면의 오염, 불순물(Particle)을 사전에 제거하여 불량 발생을 방지하도록 하는 기본 개념 이외에, 증착될 박막의 접착력 강화와 박막 트랜지스터의 특성 향상을 목적으로 한다.

ST210은 금속막을 증착하는 단계로, 알루미늄 내지는 몰리브덴 등을 증착하여 형성한다. 그리고, 리소그래피 기술을 이용하여, 금속막이 테이퍼 형상을 갖도록 게이트 전극 및 스토리지 제 1 전극을 형성하는 단계이다.

ST220은 절연막과 비정질 실리콘, 불순물이 함유된 비정질 실리콘을 증착하는 단계로, 절연막은 3000Å 정도의 두께로 실리콘 질화막 또는 실리콘 산화막을 증착한다. 상기 절연막증착 후에 연속으로 비정질 실리콘막과 불순물이 함유된 비정질 실리콘막을 연속해서 증착한다.

ST230은 크롬이나 크롬합금과 같은 금속을 증착하고 패터닝하여, 소스 전극, 드레인 전극을 형성하는 단계이다.

ST240은 ST230에서 형성된 소스 및 드레인 전극을 마스크로 하여 불순물 반도체층을 제거하여 채널을 형성하는 단계이다.

ST250은 소자들을 보호하기 위한 보호막을 형성하는 단계이다. 상기 보호막은 습기나 외부의 충격에 강한 물질이 사용된다. 상기 공정에서 각각의 소자와 연결되는 매개체로써 콘택홀이 형성된다.

ST260은 투명한 도전전극(TCO)으로 ITO를 증착하고 패터닝하여 화소전극을 형성하는 단계이다. 상기 공정에서 각각의 패드전극이 형성된다.

발명이 이루고자 하는 기술적 과제

상술한 능동 행렬 액정 표시장치의 제조 방법은 기본적으로 사용되는 5 마스크 방법이다. 그러나 박막 트랜지스터를 형성하는 과정에서 게이트 전극을 알루미늄으로 사용할 경우에는 알루미늄 표면에 생길 수 있는 힐락의 문제를 해결하기 위해 적어도 2개의 마스크가 더 필요하다. 따라서, 박막 트랜지스터 기판을 구성하기 위해 적어도 5 내지 6번의 마스크 공정이 필요하다.

액정 표시장치에 사용되는 박막 트랜지스터 기판을 제조하는데 있어서 사용되는 마스크 공정에는 세정, 증착, 베이킹, 식각 등 여러 공정을 수반하고 있다. 따라서, 마스크 공정을 한번만 단축해도, 제조시간은 상당히 많이 줄어들고, 그 만큼 생산 수율과, 제조 원가 측면에서 유리하다.

따라서, 본 발명은 액정표시 장치를 제조하는데 있어서, 사용되는 마스크 공정 수를 단축하는 방법을 제공하고, 제품의 생산수율을 향상하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명에서는 기판을 구비하는 제 1 단계와; 상기 기판 상에 제 1 금속층을 증착하고 제 1 마스크로 패터닝하여 게이트 배선과 게이트 전극을 형성하는 제 2 단계와; 상기 게이트 배선 및 게이트 전극이 형성된 기판의 전면에 걸쳐 게이트 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속층을 순서대로 증착하는 제 3 단계와; 상기 제 2 금속층을 제 2 마스크로 패터닝하여 데이터 배선과, 상기 데이터 배선과 연결된 소스 전극부와, 드레인 전극부와, 상기 게이트 배선을 덮는 게이트 배선 보호전극을 형성하는 제 4 단계와; 상기 패터닝된 제 2 금속층 하부를 제외한 부분의 불순물 반도체층을 식각하여 상기 소스 및 드레인 전극부 사이에 채널을 형성하는 제 5 단계와; 상기 제 2 마스크로 패터닝된 제 2 금속층 상의 전면에 걸쳐 제 3 절연막을 증착하고 제 3 마스크로 상기 데이터 배선과, 상기 소스 및 드레인 전극부와, 상기 채널을 덮는 제 1 보호막과, 상기 게이트 배선 보호전극의 일부를 덮는 제 2 보호막을 형성하는 제 6 단계와; 상기 제 1 및 제 2 보호막이 형성된 기판 전면에 걸쳐 투명전극을 증착하고 제 4 마스크로 패터닝하여, 상기 드레인 전극부와 접촉하는 화소전극을 형성하는 제 7 단계와; 상기 제 1 및 제 2 보호막 하부 상기 패터닝된 제 2 금속층을 제외한 제 2 금속층을 상기 제 1 및 제 2 보호막을 마스크로하여 상기 게이트 절연막 상부까지 식각하고, 스토리지 캐패시터를 형성하는 제 8 단계를 포함하는 액정 표시장치 제조방법을 제공한다.

또한, 본 발명은 상기 제 4 단계에서 상기 데이터 배선과 상기 소스 및 드레인 전극부와 상기 게이트 배선 보호부를 모두 단락되게 패터닝하는 것을 특징으로 한다.

또한, 본 발명은 제 6 단계에서 제 3 마스크로 상기 제 1 및 제 2 보호막을 패터닝할 때, 상기 제 1 보호막에 상기 드레인 전극부와 상기 제 2 보호막에 상기 게이트 배선 보호전극의 일부분이 노출되도록 각각 드레인 콘택홀과 스토리지 콘택홀을 동시에 형성하는 것을 특징으로 한다.

그리고, 상기 제 8 단계에서 상기 화소전극을 형성한 후, 상기 제 1 및 제 2 보호막 하부 제 2 금속층(데이터 배선, 소스 및 드레인 전극부, 게이트 배선 보호전극)을 제외한 부분의 제 2 금속층을 식각하여 상기 제 1 보호막에 덮인 상기 소스 및 드레인 전극부를 소스 및 드레인 전극과, 상기 제 2 보호막으로 덮인 상기 게이트 배선 보호전극을 스토리지 전극으로 형성하는 것을 특징으로 한다.

그리고, 본 발명에서는 기판을 구비하는 단계와; 상기 기판 상에 제 1 금속으로 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판 전면에 걸쳐 제 1 절연막, 비정질 실리콘, 불순물이 함유된 비정질 실리콘, 제 2 금속을 연속으로 증착하고 패터닝하여 데이터 배선과 소스 및 드레인 전극부와 게이트 배선 보호부를 형성하고, 상기 패터닝된 제 2 금속에 의해 노출된 상기 불순물이 함유된 비정질 실리콘을 식각하는 단계와; 상기 패터닝된 제 2 금속의 상부에 제 2 절연막을 증착하고 패터닝하여, 데이터 배선과 소스 및 드레인 전극부를 덮는 제 1 보호막과, 상기 게이트 배선 보호부의 일부를 덮는 제 2 보호막을 형성하는 단계와; 상기 드레인 전극부와 접촉하는 화소전극을 형성하고, 상기 제 1 및 제 2 보호막에 의해 노출된 부분의 제 2 금속과, 불순물이 함유된 비정질 실리콘과, 비정질 실리콘을 제거하는 단계를 포함하는 액정 표시장치 제조방법을 제공한다.

특히, 본 발명의 실시예에서는 게이트 배선의 노출에 의한 배선의 손상을 방지하는 구조를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

도 5a 내지 도 5d는 본 발명의 실시예에 따른 액정 표시장치의 화소부에 해당하는 평면의 제작공정을 도시한 공정도이다.

먼저, 도 5a를 참조하여 본 발명을 상세히 설명하면 다음과 같다.

도 5a는 제 1 금속을 증착하고, 제 1 마스크로 패터닝하여 게이트 전극(102) 및 게이트 배선(100)을 형성하는 단계를 도시한 도면이다.

상기 게이트 전극(102)은 상기 게이트 배선(100)에서 연장된 형태로 형성된다.

도 5b는 데이터 배선(104)과 소스 및 드레인 전극부(106a, 108a)를 형성하는 단계를 도시한 도면이다.

상기 게이트 전극(102)이 형성된 게이트 배선(100) 상에 게이트 절연막(미도시)과, 비정질 실리콘(미도시)과, 불순물이 함유된 비정질 실리콘(미도시)과, 제 2 금속을 연속으로 증착하고, 제 2 마스크로 패터닝하여 상기 데이터 배선(104)과 소스 및 드레인 전극부(106a, 108a)를 형성한다.

상기 제 2 금속의 패터닝은 데이터 배선(104)을 비롯하여, 소스 및 드레인 전극부(106a, 108a) 모두가 단락되어 있다. 여기서, 상기 제 2 금속은 게이트 전극(102) 상부의 채널(Ch)이 될 영역은 패터닝한다.

그리고, 상기 게이트 배선(100) 상부 전체에 상기 게이트 배선(100)을 덮는 형태로 게이트 배선 보호전극(110)이 형성된다. 즉, 상기 제 2 마스크 공정에서는 소스 및 드레인 전극이 형성되지 않는다.

여기서, 상기 소스 및 드레인 전극부(106a, 108a)에서 상기 드레인 전극부(108a)를 독립적으로 형성할 수 있을 것이다. 즉, 상기 소스 전극부(108a)와 상기 게이트 배선 보호전극(110) 만이 서로 단락되고, 상기 드레인 전극부(108a)는 단선되게 형성하는 것이다.

상기 소스 및 드레인 전극부(106a, 108a)를 패터닝한 후, 상기 소스 및 드레인 전극부(106a, 108a)를 마스크로하여 상기 게이트 전극(102) 상부에 형성된 불순물이 함유된 비정질 실리콘을 패터닝하여 채널(Ch)을 형성한다.

즉, 상기 제 2 마스크 공정에서 형성되는 것은 데이터 배선(104)과, 소스 및 드레인 전극부(106a, 108a), 게이트 배선 보호전극(110), 채널(Ch)이 형성된다.

도 5c는 제 3 마스크로 보호막(112, 114)을 형성하는 단계를 도시한 도면이다.

상기 보호막(112, 114)은 데이터 배선(104)을 따라 상기 데이터 배선(104)을 덮는 형태로 구성되며, 상기 채널(Ch)과 소스 및 드레인 전극부(106a, 108a)의 일부를 덮는 제 1 보호막(112)과, 상기 게이트 배선(100) 상부에 스토리지 전극(미도시)이 형성될 부분을 덮는 제 2 보호막(114)으로 구성된다.

상기 보호막(112, 114)의 패터닝시 상기 드레인 전극부(108a) 상의 제 1 보호막과, 스토리지 전극이 형성될 부분의 제 2 보호막에 상기 보호막(112, 114)의 하부에 형성된 제 2 금속층의 일부가 노출되도록 드레인 콘택홀(116)과 스토리지 콘택홀(118)을 동시에 형성한다.

도 5d는 제 4 마스크로 화소전극(120)을 형성하는 단계를 도시한 도면이다.

상기 화소전극(120)은 실질적으로 빛에 투명한 인듐 - 틴 - 옥사이드(ITO)가 사용된다.

상기 화소전극을 형성하는 제 4 마스크 공정이 본 발명의 핵심적인 부분이 된다.

즉, 상기 제 4 마스크 공정에서 소스 및 드레인 전극(106b, 108b)과 스토리지 전극(122)이 완성되게 되는 것이다.

즉, 상기 화소전극(120) 형성 후에, 상기 제 1 및 제 2 보호막(112, 114)의 하부에 형성된 제 2 금속을 제외한 제 2 금속을 모두 식각하여 소스전극(106b)과 드레인 전극(108b)과 스토리지 전극(122)을 형성한다. 상기 소스 및 드레인 전극(106b, 108b)과 스토리지 전극(122)의 형성시 각각의 소스 및 드레인 전극(106b, 108b)은 독립되게 된다.

즉, 다시 설명하면, 제 3 마스크 공정에서는 소스 및 드레인 전극부로서, 각각의 전극부는 서로 단락되어 있었으나, 제 4 마스크 공정에서 화소전극 형성후에 제 1 및 제 2 보호막을 마스크로하여 제 2 금속층을 식각함으로써, 소스 및 드레인 전극(106b, 108b)이 형성되는 것이다.

또한, 도 5c의 상기 보호막(112)의 형성시 노출된 게이트 전극(102')은 식각되게 된다. 즉, 상기 보호막(112)에 의해 노출된 게이트 전극 상부에는 게이트 절연막과 순수 비정질 실리콘으로 구성되며, 상기 소스 및 드레인 전극(106b, 108b)을 형성할 때 동시에 식각된다. 따라서, 상기 채널부(Ch) 상/하의 게이트 전극의 일부분(102')은 노출된다.

전기한 바와 같이 본 발명의 실시예에 따른 액정 표시장치는 4마스크 공정만으로 제작이 가능하고, 제작공정의 감소로 발생할 수 있는 게이트 배선의 노출에 의한 게이트 배선의 부식을 방지할 수 있다.

도 6은 도 5d의 절단선 VI - VI으로 자른 단면을 도시한 단면도이다.

먼저, 도 6a에 도시된 본 발명에 따른 액정 표시장치의 단면도는 제 3 마스크 공정에 의해 제작된 스위칭 소자부분의 단면으로써, 기판(1)과 상기 기판(1) 상에 게이트 전극(102)이 형성되어 있다.

그리고, 상기 게이트 전극(102) 상부에는 상기 게이트 전극(102)을 덮는 게이트 절연막(150)과 비정질 실리콘(152)이 적층되어 있다.

또한, 상기 비정질 실리콘(152) 상에는 불순물이 함유된 비정질 실리콘(154)이 채널(Ch)을 구성하며 형성되고, 상기 불순물이 함유된 비정질 실리콘(154)상에는 소스 및 드레인 전극(106b, 108b)이 형성된다.

또한, 상기 소스 및 드레인 전극(106b, 108b)과 상기 채널(Ch) 상에는 제 1 보호막(112)이 형성된다. 상기 제 1 보호막(112)은 상기 드레인 전극(108b)의 일부분이 노출되도록 드레인 콘택홀(116)이 형성되며, 상기 드레인 콘택홀(116)을 통해 상기 드레인 전극(108b)과 접촉하는 화소전극(120)이 형성된다.

도 7a 내지 도 7d는 도 5d의 절단선 VII - VII으로 자른 단면의 제작공정을 도시한 공정도이다.

먼저, 도 7a에 도시된 도면을 참조하여 설명하면, 도 7a는 제 1 마스크로 게이트 배선(100)을 형성하는 단계를 도시하고 있다.

도 7b는 상기 게이트 배선(100) 상에 게이트 절연막(150), 비정질 실리콘(152), 불순물이 함유된 비정질 실리콘(154), 제 2 금속층을 연속증착하고 제 2 마스크로 패터닝하여, 데이터 배선(104)과 게이트 배선 보호전극(110)을 형성하고, 상기 패터닝된 제 2 금속층을 마스크로하여 불순물이 함유된 비정질 실리콘(154)을 식각하여 채널(미도시)을 형성한다.

도 7c는 제 3 마스크로 보호막(112, 114)을 형성하는 단계를 도시한 도면이다.

상기 보호막(112, 114)은 제 1 보호막(112)과 제 2 보호막(114)으로 구분될 수 있으며, 상기 제 1 보호막(112)은 데이터 배선(104)을 덮는 형태로 구성되고, 제 2 보호막(114)은 스토리지 캐패시터(Cst)를 형성하기 위해 상기 게이트 배선 보호전극(110) 상에 스토리지 콘택홀(118)을 갖는 형태로 구성된다.

여기서, 상기 게이트 배선 보호전극(110)은 그 하부에 형성된 게이트 절연막(150)이 식각되는 것을 방지하고, 최종적으로 게이트 배선(100)을 보호하는 역할을 하게 된다.

도 7d는 제 4 마스크로 화소전극(118)을 형성하는 단계를 도시한 도면이다.

상기 화소전극(118)을 실질적으로 빛에 투명한 투명도전성 물질을 사용하며, 이 물질로는 인듐 - 틴 - 옥사이드(ITO)가 주로 쓰인다.

상기 화소전극(118)은 스토리지 콘택홀(118)을 통해 스토리지 전극(110')과 접촉하게 된다.

이 때, 상기 스토리지 전극(110')은 상기 게이트 배선 보호전극(110)이 식각된 형태이며, 상기 게이트 배선 보호전극(110)은 상기 화소전극(118)을 형성한 후에 상기 제 1 및 제 2 보호막(112, 114)하부 제 2 금속층을 제외한 부분의 제 2 금속층(E)을 식각하여 형성한다. 즉, 도 5c의 E 부분에 해당하는 부분이다.

E 부분이 식각됨에 따라, 소스 및 드레인 전극부(106a, 108a)가 각각 서로 독립되어(단선) 소스 및 드레인 전극(106b, 108b)으로 형성된다(도 5d 및 도 6 참조). 즉, 상기 제 4 마스크 공정에서 소스 및 드레인 전극(미도시)이 형성된다(도 5d 참조).

또한, 상기 E 부분을 식각할 때, 게이트 절연막(150) 상부까지 연속적으로 식각한다.

여기서, 스토리지 캐패시터(Cst)는 상기 게이트 배선(100)을 일 전극으로 하고, 스토리지 전극(110')을 타 전극으로 하며, 상기 게이트 배선(100) 및 상기 스토리지 전극(110')의 사이에 형성된 게이트 절연막(150), 비정질 실리콘(152), 불순물이 함유된 비정질 실리콘(154)을 유전층으로 하여 형성된다.

도 8은 본 발명의 실시예에 따른 액정 표시장치의 제작 흐름을 도시한 흐름도로써, 제작 흐름을 살펴보면 다음과 같다.

먼저, ST300은 기판을 준비하는 단계로 유리기판(1)을 사용한다.

ST310은 제 1 금속층을 증착하고, 제 1 마스크로 패터닝하여 게이트 배선을 형성하는 단계이다.

ST320은 상기 게이트 배선 및 기판 전면에 걸쳐 게이트 절연막, 반도체층, 제 2 금속층을 연속으로 증착하고, 제 2 마스크로 패터닝하여, 데이터 배선과 소스 및 드레인 전극부와 게이트 배선 보호전극을 형성하고, 노출된 반도체층의 일부를 식각하는 단계이다. 여기서, 상기 노출된 반도체층의 일부는 불순물이 함유된 반도체층을 지칭하며, 상기 불순물이 함유된 반도체층을 식각함으로써, 채널이 형성된다.

이후, ST330에서 보호막을 형성한다. 상기 보호막은 상기 데이터 배선과 상기 소스 및 드레인 전극부의 채널을 덮고, 스토리지 캐패시터가 형성될 부분에 형성한다.

마지막으로, ST340에서는 화소전극을 형성한다.

상기 화소전극의 형성시 상기 드레인 전극과 접촉하도록 형성하며, 상기 화소전극을 형성한 후에는 상기 보호막이 형성된 부분을 제외한 전영역의 제 2 금속층을 제거하여, 소스 및 드레인 전극을 형성한다.

상술한 바와 같이 본 발명에 따른 액정 표시장치의 제조방법은 4번의 마스크로 제작이 가능함으로 수율이 향상되는 장점이 있다.

발명의 효과

상술한 본 발명의 실시예들로 액정 표시장치를 제작할 경우 다음과 같은 특징이 있다.

첫째, 본 발명의 실시예들에 따른 액정 표시장치의 제조방법에 의해 액정 표시장치를 제작할 경우 4번의 마스크 공정만으로 제작할 수 있기 때문에 제작 시간이 단축된다.

둘째, 박막 트랜지스터 기판을 4번의 마스크로 구성할 수 있기 때문에, 미스 - 얼라인으로 인한 수율 감소를 방지할 수 있다.

셋째, 액정 표시소자 제작 공정의 감소로 인해 원가절감 효과가 있다.

넷째, 4번의 마스크 공정으로 액정 표시장치를 제작하기 때문에 생길 수 있는 게이트 배선의 손상을 상기 게이트 배선 상부에 형성된 소스/드레인 금속인 게이트 배선 보호전극을 사용하여 게이트 배선을 식각용액으로부터 보호할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

기판을 구비하는 제 1 단계와;

상기 기판 상에 제 1 금속층을 증착하고 제 1 마스크로 패터닝하여 게이트 배선과 게이트 전극을 형성하는 제 2 단계와 ;

상기 게이트 배선 및 게이트 전극이 형성된 기판의 전면에 걸쳐 게이트 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속층을 순서대로 증착하는 제 3 단계와;

상기 제 2 금속층을 제 2 마스크로 패터닝하여 데이터 배선과, 상기 데이터 배선과 연결된 소스 전극부와, 드레인 전극부와, 상기 게이트 배선을 덮는 게이트 배선 보호전극을 형성하는 제 4 단계와;

상기 패터닝된 제 2 금속층 하부를 제외한 부분의 불순물 반도체층을 식각하여 상기 소스 및 드레인 전극부 사이에 채널을 형성하는 제 5 단계와;

상기 제 2 마스크로 패터닝된 제 2 금속층 상의 전면에 걸쳐 제 3 절연막을 증착하고 제 3 마스크로 상기 데이터 배선과, 상기 소스 및 드레인 전극부와, 상기 채널을 덮는 제 1 보호막과, 상기 게이트 배선 보호전극의 일부를 덮는 제 2 보호막을 형성하는 제 6 단계와;

상기 제 1 및 제 2 보호막이 형성된 기판 전면에 걸쳐 투명전극을 증착하고 제 4 마스크로 패터닝하여, 상기 드레인 전극부와 접촉하는 화소전극을 형성하는 제 7 단계와;

상기 제 1 및 제 2 보호막 하부 상기 패터닝된 제 2 금속층을 제외한 제 2 금속층을 상기 제 1 및 제 2 보호막을 마스크로하여 상기 게이트 절연막 상부까지 식각하고, 스토리지 캐패시터를 형성하는 제 8 단계

를 포함하는 액정 표시장치 제조방법.

청구항 2.

청구항 1의 액정 표시장치 제조방법에 의해 제조된 액정 표시장치.

청구항 3.

청구항 1에 있어서,

상기 제 4 단계에서 상기 데이터 배선과 상기 소스 및 드레인 전극부와 상기 게이트 배선 보호부를 모두 단락되게 패터닝하는 액정 표시장치 제조방법.

청구항 4.

청구항 1에 있어서,

제 6 단계에서 제 3 마스크로 상기 제 1 및 제 2 보호막을 패터닝할 때, 상기 제 1 보호막에 상기 드레인 전극부와 상기 제 2 보호막에 상기 게이트 배선 보호전극의 일부분이 노출되도록 각각 드레인 콘택홀과 스토리지 콘택홀을 동시에 형성하는 액정 표시장치 제조방법.

청구항 5.

청구항 1 또는 청구항 3항 중 어느 한 항에 있어서,

상기 제 8 단계에서 상기 화소전극을 형성한 후, 상기 제 1 및 제 2 보호막 하부 제 2 금속층(데이터 배선, 소스 및 드레인 전극부, 게이트 배선 보호전극)을 제외한 부분의 제 2 금속층을 식각하여 상기 제 1 보호막에 덮인 상기 소스 및 드레인 전극부를 소스 및 드레인 전극과, 상기 제 2 보호막으로 덮인 상기 게이트 배선 보호전극을 스토리지 전극으로 형성하는 액정 표시장치 제조방법.

청구항 6.

청구항 1에 있어서,

상기 스토리지 캐패시터는 상기 게이트 배선을 일 전극으로 하고, 스토리지 전극을 타 전극으로 하며, 상기 게이트 배선 및 상기 스토리지 전극의 사이에 형성된 게이트 절연막, 비정질 실리콘, 불순물이 함유된 비정질 실리콘을 유전층으로 하는 액정 표시장치 제조방법.

청구항 7.

기판을 구비하는 단계와;

상기 기판 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기판 전면에 걸쳐 제 1 절연막, 비정질 실리콘, 불순물이 함유된 비정질 실리콘, 소스/드레인 금속을 연속으로 증착하고 패터닝하여 데이터 배선과 소스 및 드레인 전극부와 게이트 배선 보호부를 형성하고, 상기 패터닝된 소스/드레인 금속에 의해 노출된 상기 불순물이 함유된 비정질 실리콘을 식각하는 단계와;

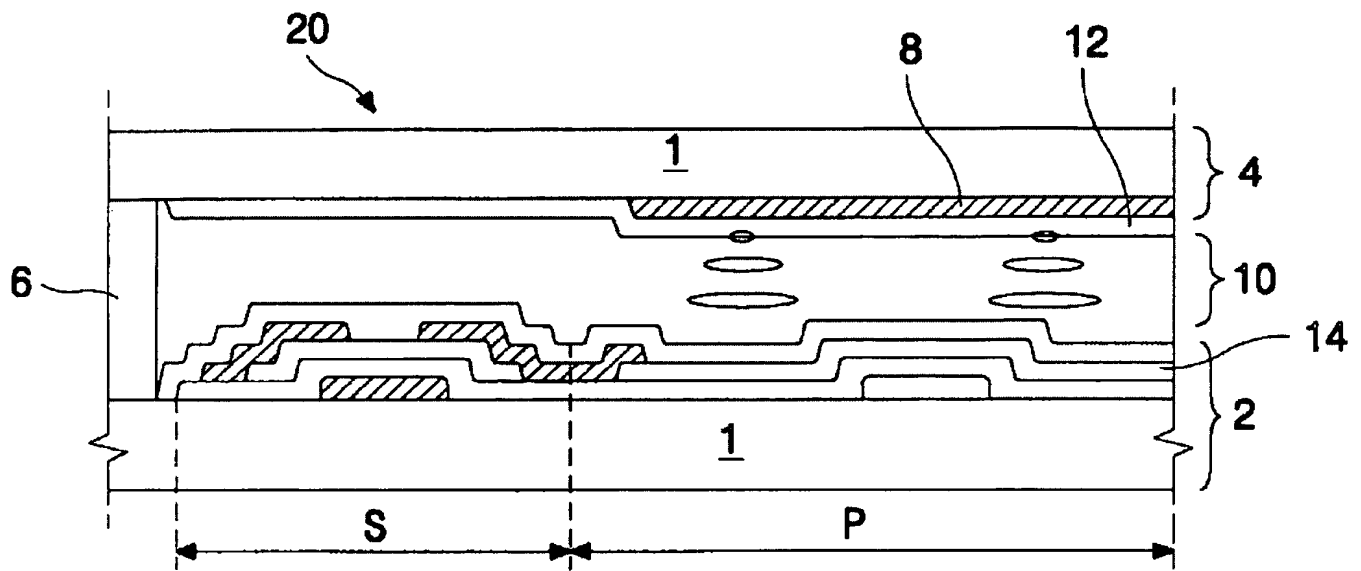
상기 패터닝된 소스/드레인 금속의 상부에 제 2 절연막을 증착하고 패터닝하여, 데이터 배선과 소스 및 드레인 전극부를 덮는 제 1 보호막과, 상기 게이트 배선 보호부의 일부를 덮는 제 2 보호막을 형성하는 단계와;

상기 드레인 전극부와 접촉하는 화소전극을 형성하고, 상기 제 1 및 제 2 보호막에 의해 노출된 부분의 소스/드레인 금속과, 불순물이 함유된 비정질 실리콘과, 비정질 실리콘을 제거하는 단계

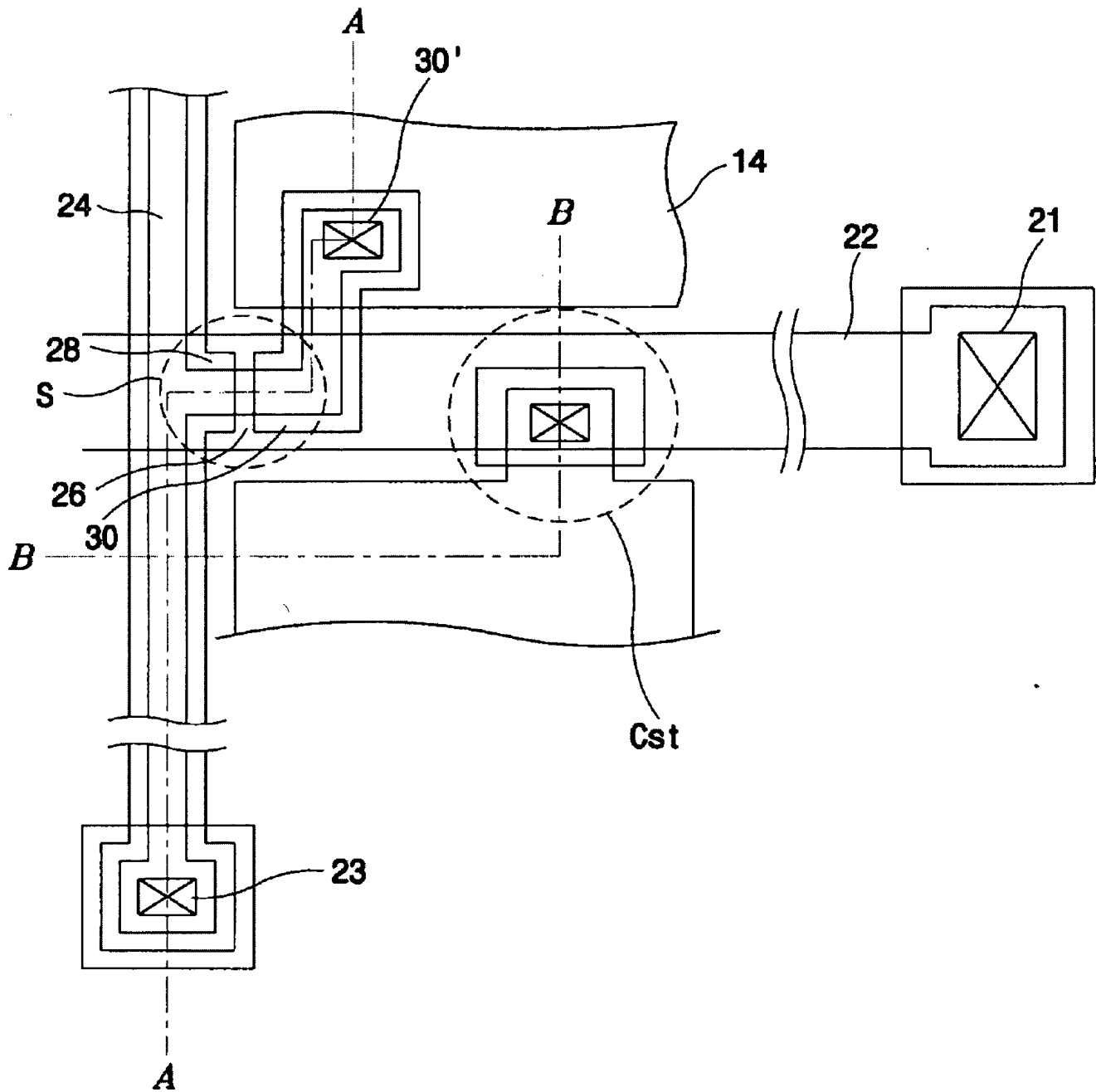
를 포함하는 액정 표시장치 제조방법.

도면

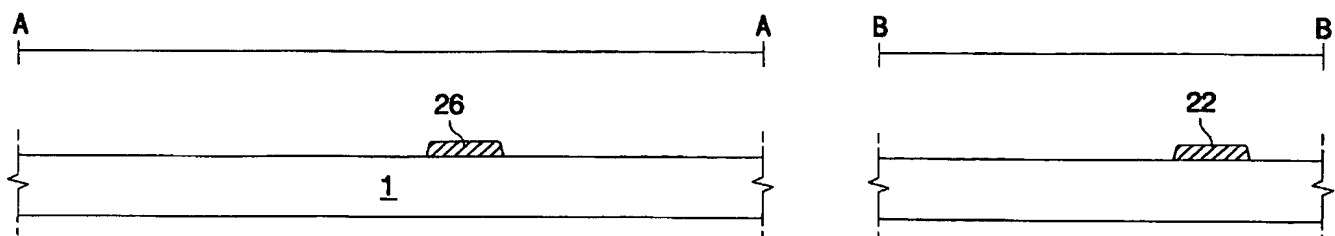
도면 1



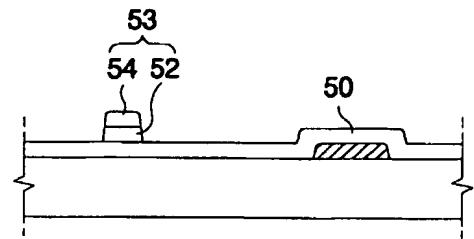
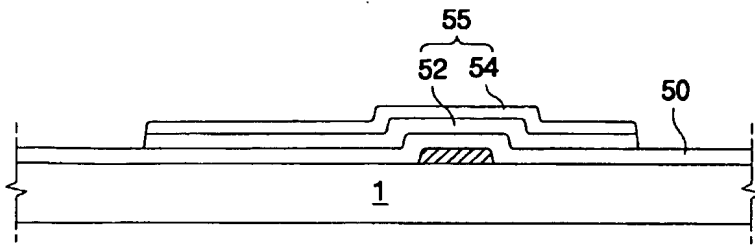
도면 2



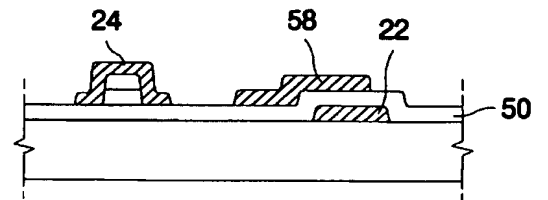
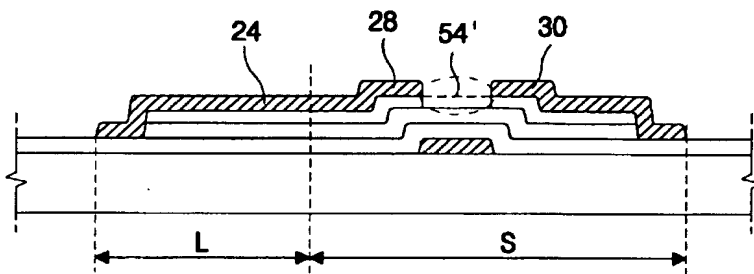
도면 3a



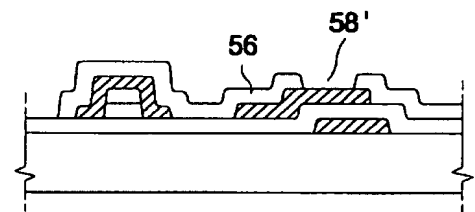
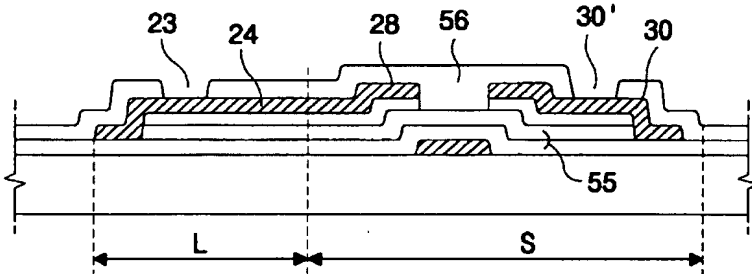
도면 3b



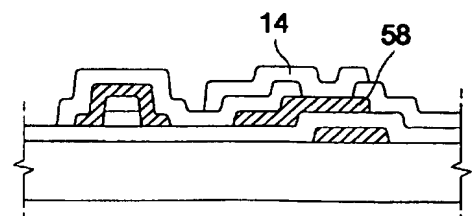
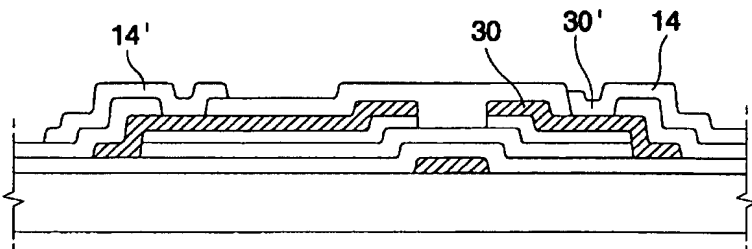
도면 3c



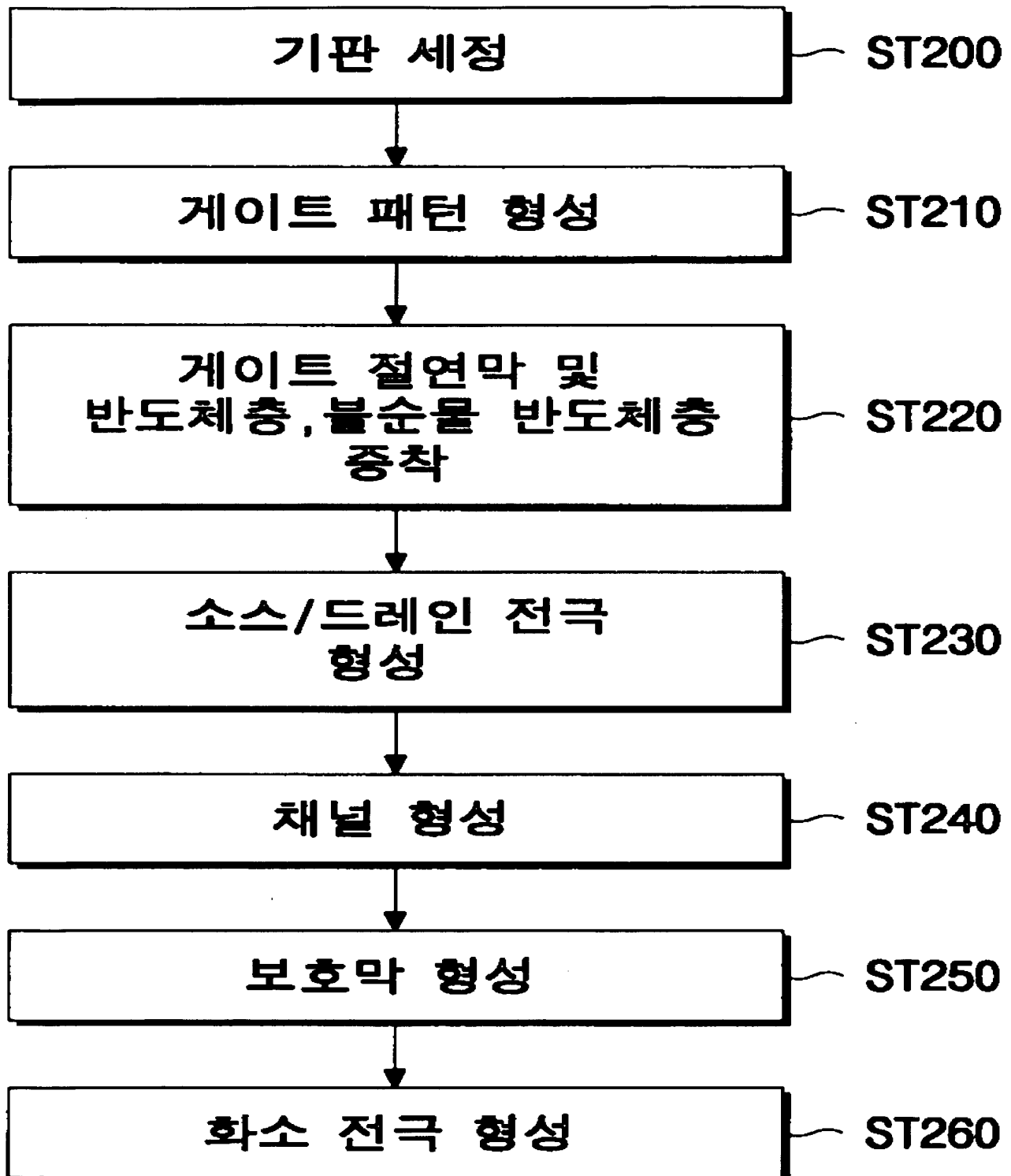
도면 3d



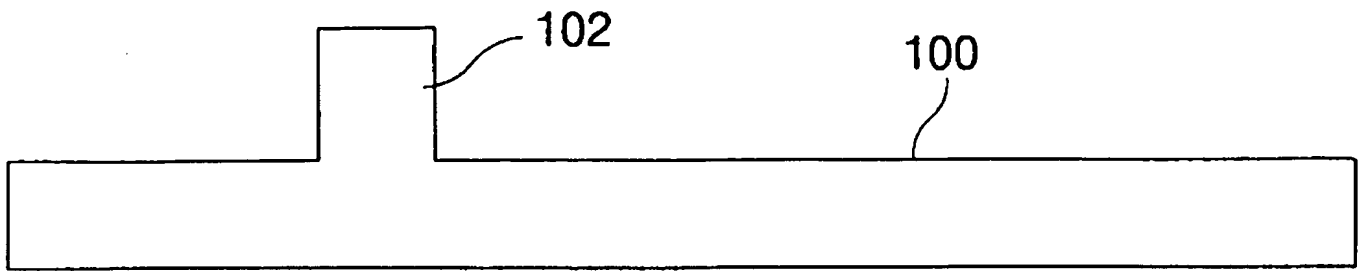
도면 3e



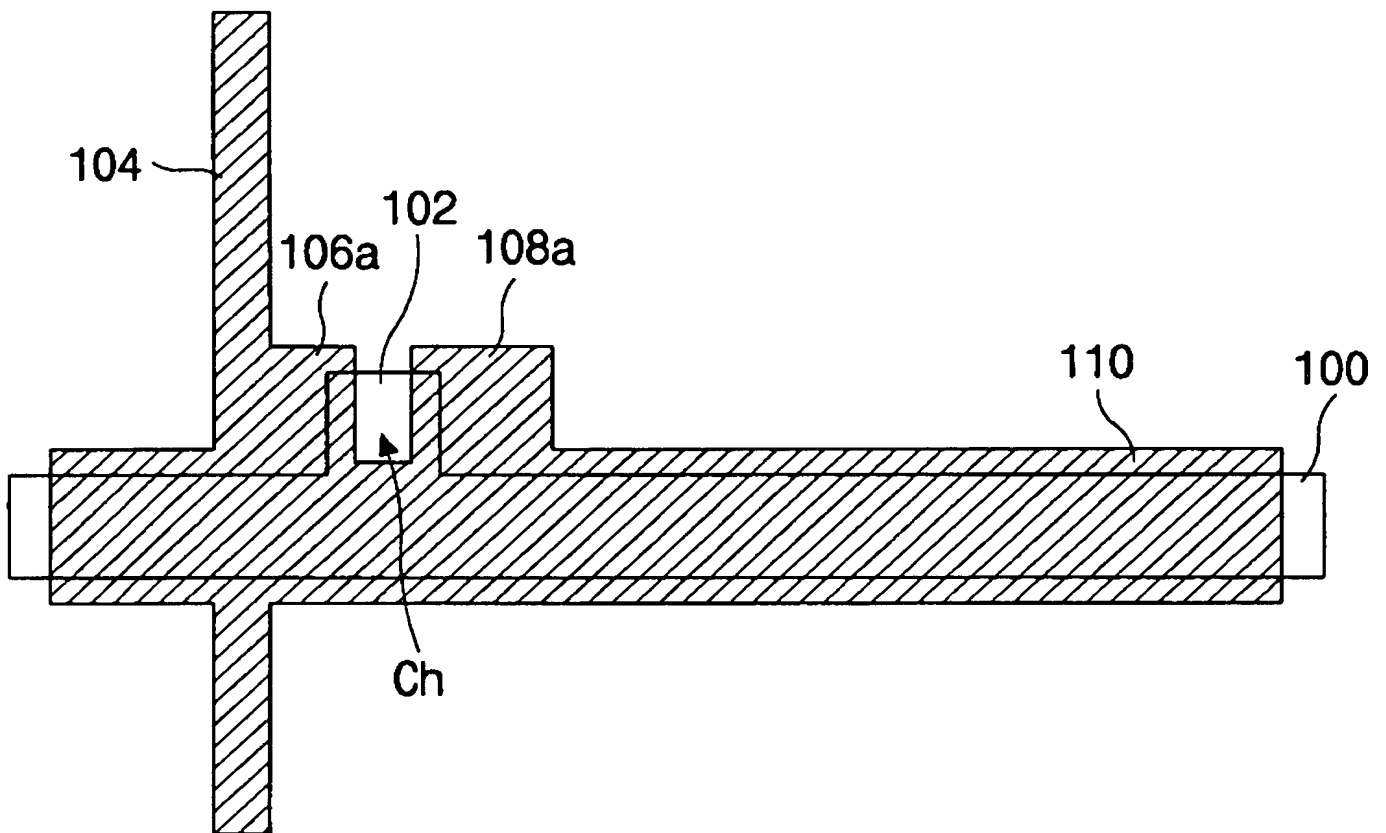
도면 4



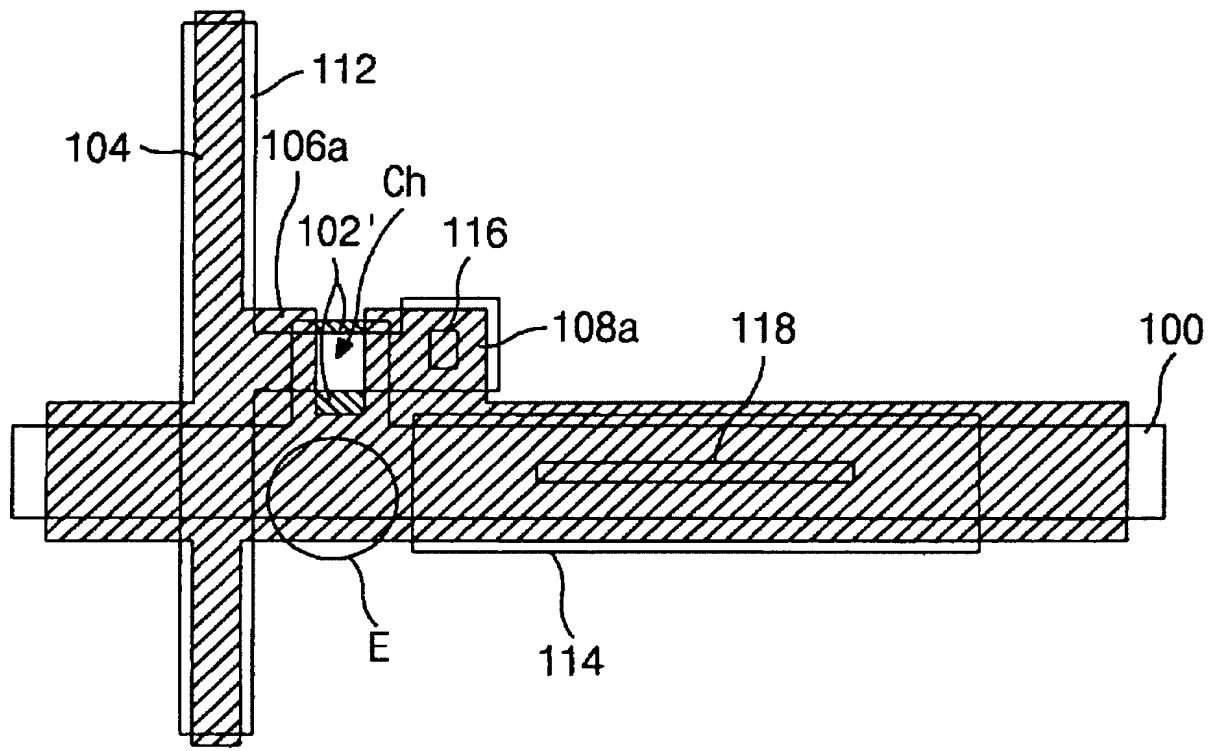
도면 5a



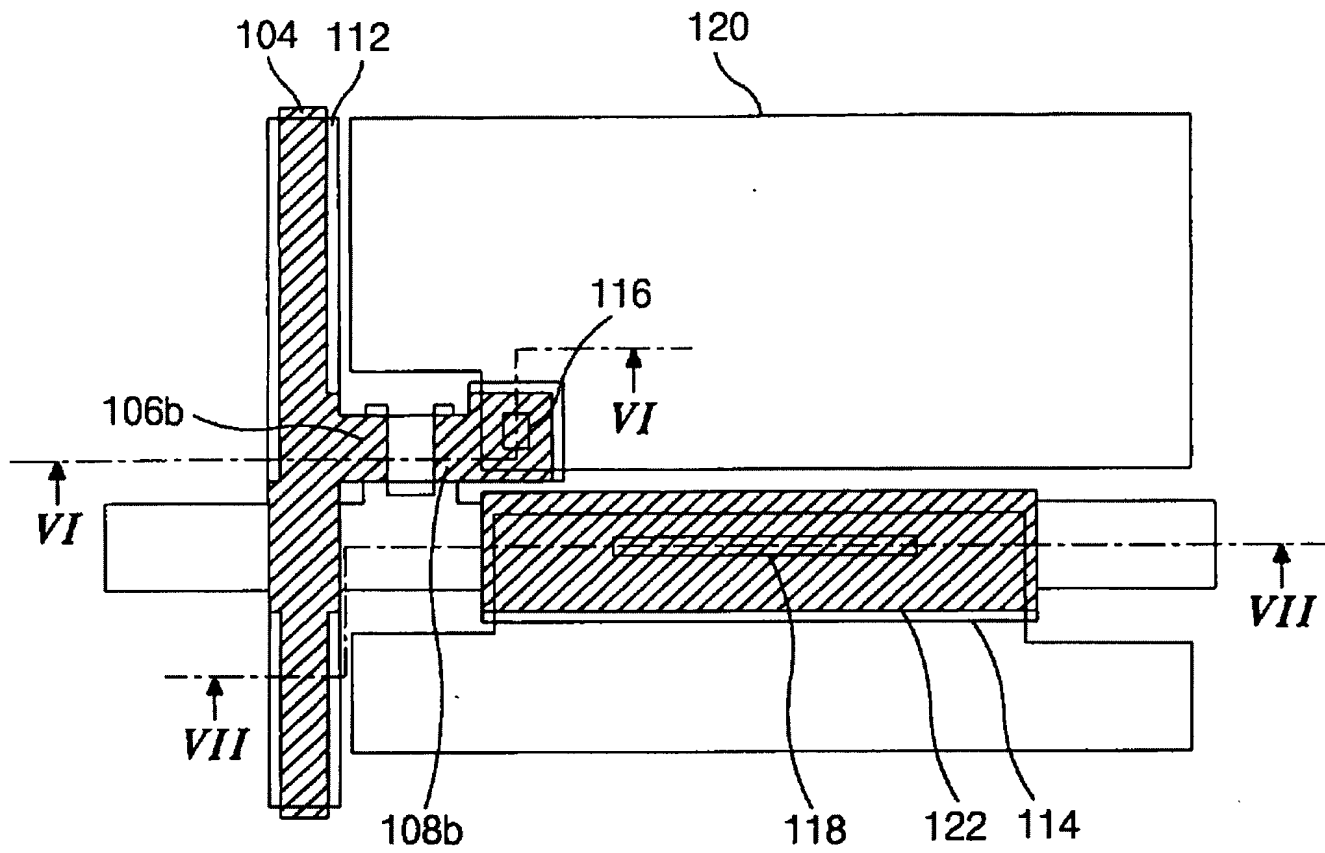
도면 5b



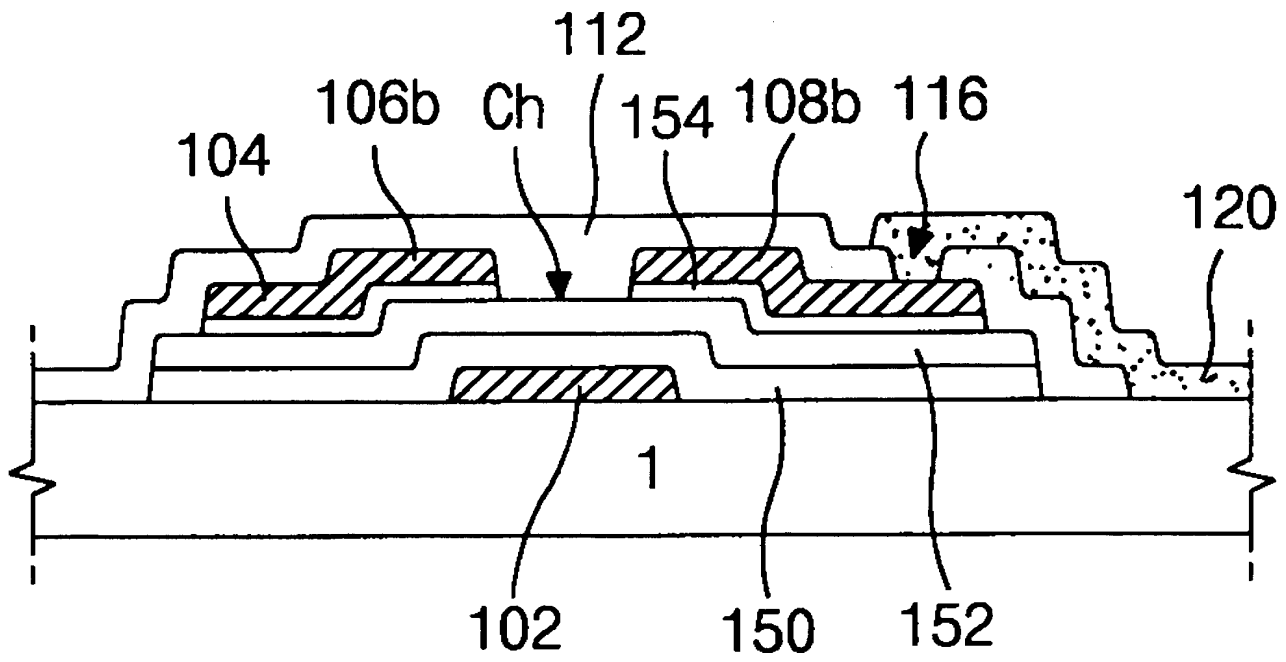
도면 5c



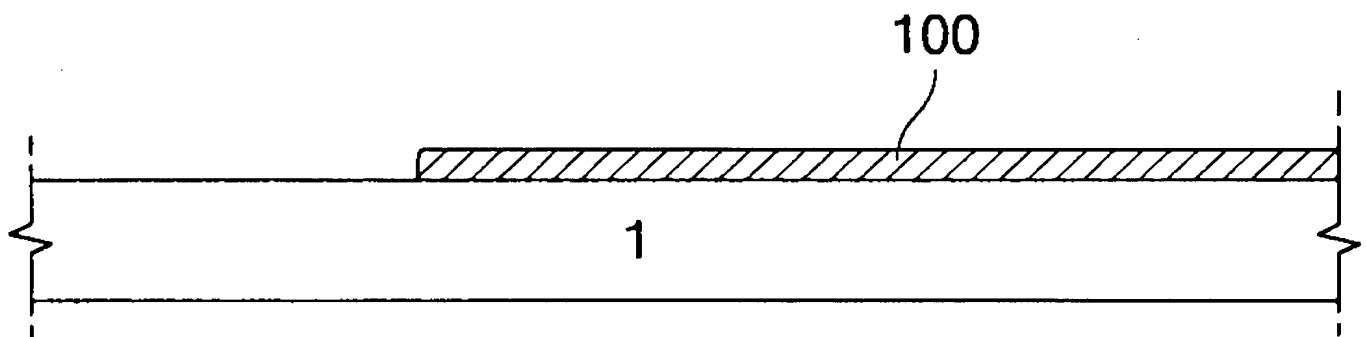
도면 5d



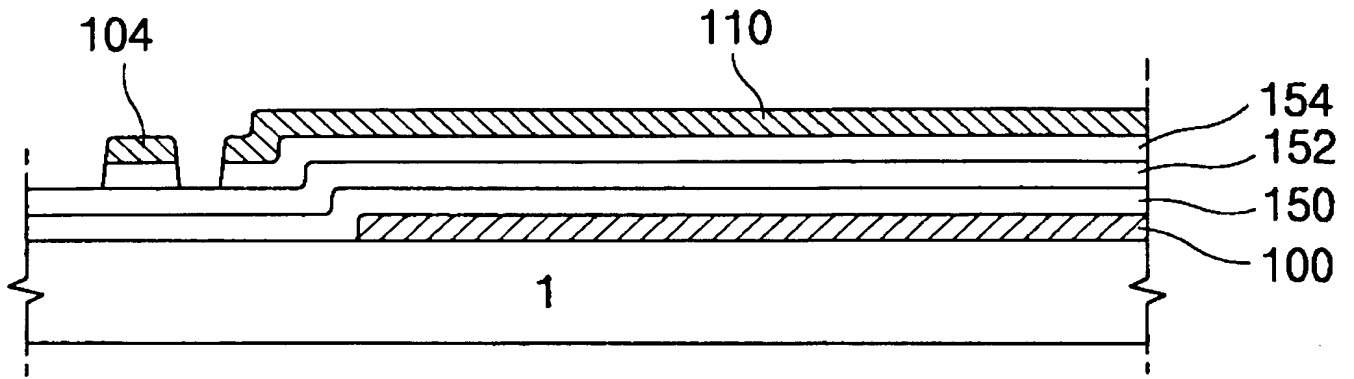
도면 6



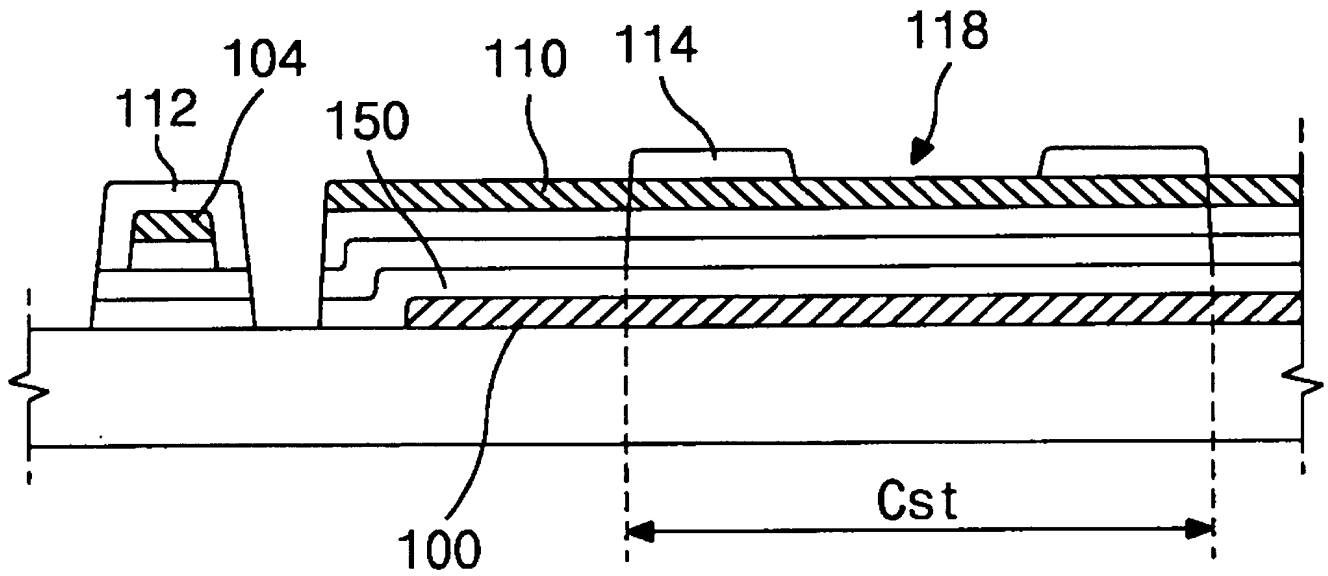
도면 7a



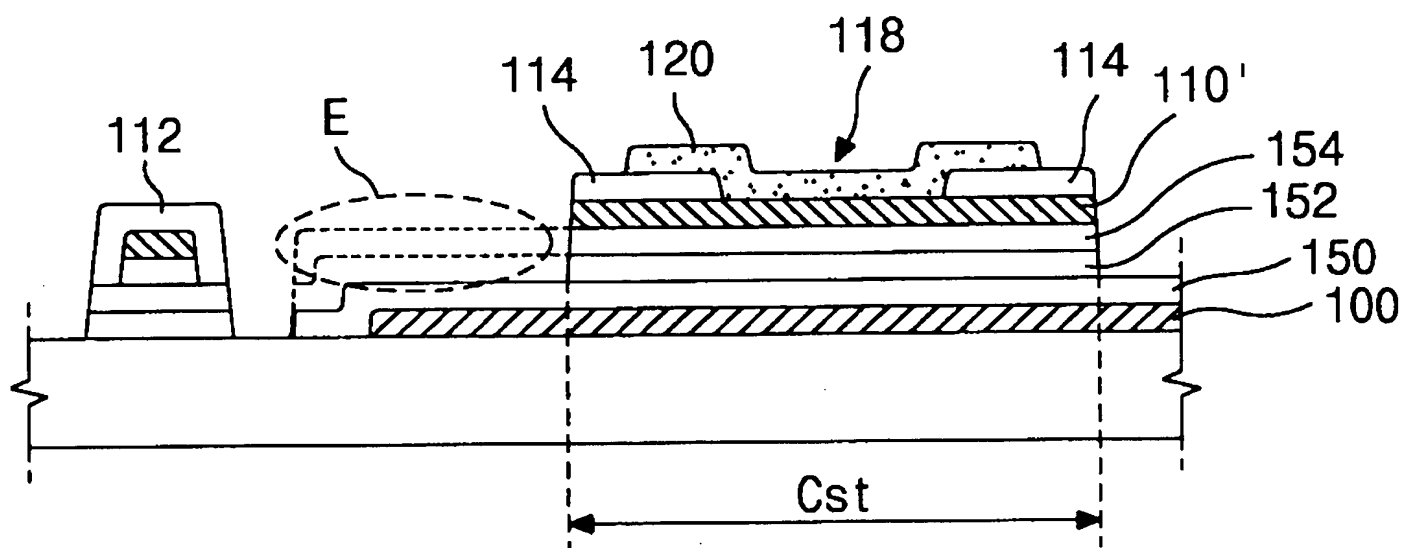
도면 7b



도면 7c



도면 7d



도면 8

